

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-202788

(43)Date of publication of application : 27.07.2001

(51)Int.Cl.

G11C 16/06

G11C 16/02

(21)Application number : 2000-010442

(71)Applicant : MITSUBISHI ELECTRIC
CORP

(22)Date of filing : 19.01.2000

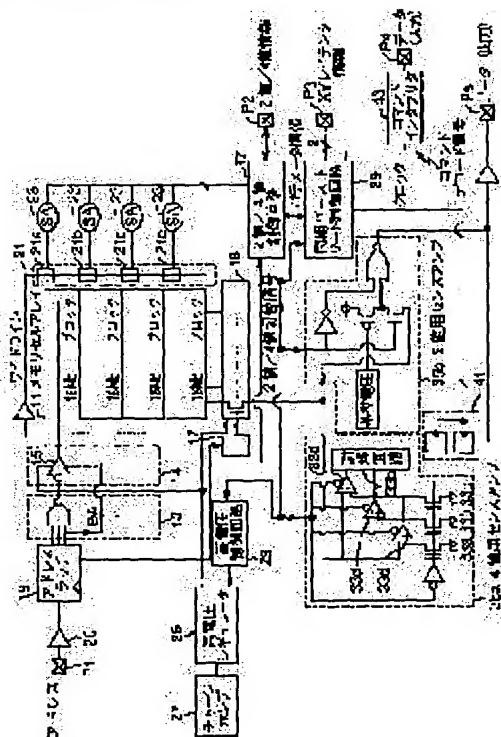
(72)Inventor : KOBAYASHI SHINICHI
KAI YOSHIHIDE

(54) VARIABLE CAPACITY SEMICONDUCTOR STORAGE SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage system in which efficient use of a memory region is realized and manufacturing cost can be suppressed.

SOLUTION: A flash memory has a memory cell array 11 constituted by arranging cells storing electrically data in a matrix state. The memory cell array 11 is divided into a plurality of block regions, and each block region is set to quaternary regions in which quaternary data are recorded or binary regions in which binary data are recorded. At the time of access (write-in/read- out of data) to memory cell, word line voltage at the time of write-in or a sense amplifier at the time of read-out is switched by discriminating whether data to be accessed are binary or quaternary.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-202788

(P 2001 - 202788 A)

(43) 公開日 平成13年7月27日 (2001 . 7 . 27)

(51) Int.Cl.⁷

G 1 1 C 16/06

16/02

識別記号

F I

G 1 1 C 17/00

テーマコード (参 考)

6 3 3 D 5 B 0 2 5

6 1 3

6 3 4 C

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号

特願2000-10442 (P 2000 - 10442)

(22) 出願日

平成12年1月19日 (2000 . 1 . 19)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 小林 真一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 甲斐 芳英

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100062144

弁理士 青山 稔 (外 1 名)

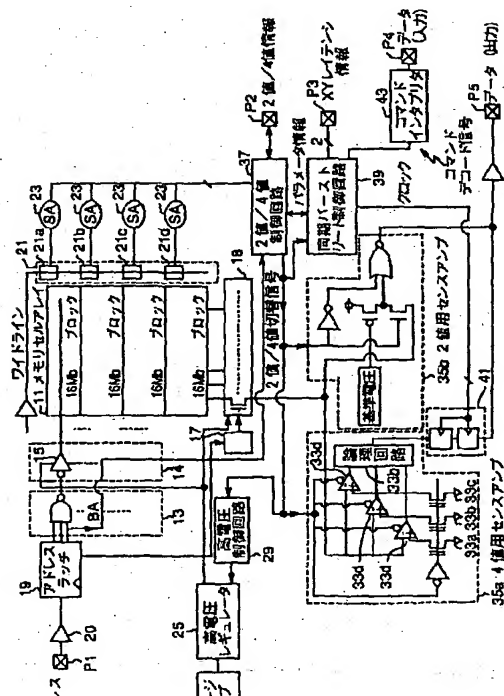
F ターム (参 考) 5B025 AA03 AD03 AD06 AE00 AE05

(54) 【発明の名称】 可変容量半導体記憶装置

(57) 【要約】

【課題】 メモリ領域の効率的な使用を実現し、製造コストを抑制することができる半導体記憶装置を提供する。

【解決手段】 フラッシュメモリは、データを電氣的に記憶するセルをマトリクス上に配してなるメモリセルアレイ11を有し、メモリセルアレイ11を複数のブロック領域に分割し、各ブロック領域を4値によるデータ記録を行なう4値領域又は2値によるデータ記録を行なう2値領域に設定する。メモリセルに対するアクセス（データの書き込み／読み出し）時においては、アクセスするデータが2値であるか4値であるかに応じて、書き込み時のワード線電圧または読み出し時のセンスアンプを切り替える。



(3)

3

値領域に設定したメモリセルアレイと、メモリセルアレイのワード線の駆動電圧を供給するワード線駆動手段と、ワード線駆動手段の出力電圧を制御する電圧制御手段と、データの記録を2値で行なうか多値で行なうかに応じて、上記ワード線駆動手段の出力電圧が切り替わるように前記電圧制御手段を制御する2値/多値制御手段とを備える。

【0006】本発明に係る第2の半導体記憶装置は、電気的にデータの書き込み、読み出しが可能な不揮発性半導体記憶装置において、データを記録する領域を複数の領域に分割し、その分割した各領域を2値データを記録する2値領域又は多値データを記録する多値領域に設定したメモリセルアレイと、2値データを読み出す際に使用する2値センスアンプと、多値データを読み出す際に使用する多値センスアンプと、データ読み出し時に使用するセンスアンプを、読み出すデータ領域が2値領域である場合は2値センスアンプに、読み出すデータ領域が多値領域である場合は多値センスアンプに切り替える2値/多値制御手段とを備える。

【0007】本発明に係る第3の半導体記憶装置は、第1または第2の半導体記憶装置において、メモリセルアレイの各領域に対して、2値か多値かをメモリアドレス空間で任意に設定でき、かつ、その領域が2値領域であるか多値領域であるかを判別するための情報を記憶する判別手段をさらに備えてもよい。

【0008】本発明に係る第4の半導体記憶装置は、第1ないし第3のいずれかの半導体記憶装置において、データの記録形式が2値であるか多値であるかに応じてデータ出力方法及び書き込み方法を切替る2値/多値切替手段をさらに備えてもよい。

【0009】本発明に係る第5の半導体記憶装置は、第1ないし第3のいずれかの半導体記憶装置において、読み出しデータのアドレスに対応したレイテンシ情報を外部に出力するレイテンシ出力手段をさらに備えてもよい。

【0010】本発明に係る第6の半導体記憶装置は、第1ないし第3のいずれかの半導体記憶装置において、同期バースト読み出し動作時に、同期バースト読み出しに対する所定のパラメータをアドレスに対応して変更する変更手段をさらに備えてもよい。

【0011】本発明に係る第7の半導体記憶装置は、第1ないし第3のいずれかの半導体記憶装置において、データ読み出し時において、複数の所定数のビット線を選択するビット線選択手段をさらに備えてもよい。そのとき、その選択された所定数のビット線及び一のワード線に接続する所定数のメモリセルから、一のデータ値が読み出される。

【0012】本発明に係る第8の半導体記憶装置は、第1ないし第3のいずれかの半導体記憶装置において、多

4

遅延を利用して多値で表現されたデータを読み出すようにしてもよい。

【0013】

【発明の実施の形態】以下、添付の図面を参照して本発明に係る半導体記憶装置の実施形態を詳細に説明する。

【0014】本実施形態におけるフラッシュメモリは、データを記憶するメモリセルをマトリクス状に配したメモリセルのメモリ領域において、2値で記録する領域と、4値で記録する領域とを設定する。これにより、1つのメモリを用途に応じて容量可変に分割して使用することができ、メモリの使用効率を向上できる。具体的には、メモリ領域を所定数のブロックに分割し、各ブロック単位で2値で記録する領域、4値で記録する領域を設定する。

【0015】(フラッシュメモリの構成)図1に本発明に係るフラッシュメモリの構成を示す。フラッシュメモリは、データを記憶するメモリセルをマトリクス状に配するメモリセルアレイ11と、ワード線を選択するためにアクセスするデータのアドレスをプリデコードするプリデコーダ13と、メモリセルアレイ11のワード線を選択するロウデコーダ14と、ビット線を選択するためにアドレスをプリデコードするプリデコーダ17と、アドレスをデコードしメモリセルアレイ11のビット線を選択するカラムデコーダ18と、メモリセルアレイのワード線に駆動電圧を与える高電圧レギュレータ25と、メモリセルアレイ11中の指定したセルから読み出した電圧を増幅するセンスアンプ35a、35bと、読み出しデータが2値で記憶されている場合と4値で記憶されている場合とで制御を切り替えるための2値/4値制御回路37と、同期バースト読み出しを行なう際の制御を行う同期バーストリード制御回路39と、同期バースト読み出しを行なう際にデータをラッチするバースト読み出し用のデータラッチ41とを備える。

【0016】また、フラッシュメモリは、アクセスするデータのアドレスを入力するアドレス入力ピンP1と、2値か4値かを示す情報を入力する2値/4値情報入力ピンP2と、レイテンシ情報を出力するレイテンシ情報出力ピンP3と、データやコマンドを入力するデータ入力ピンP4と、読み出しデータを出力するデータ出力ピンP5とを有する。

【0017】図1に示すメモリセルアレイ11は全体で64Mbの容量を持ち、各々が16Mbの容量の4つのブロックに分割されている。本実施形態のフラッシュメモリでは、各ブロック毎に、2値データを記録する領域(以下「2値領域」という。)または4値データを記録する領域(以下「4値領域」という。)に設定することができる。

【0018】ここで、2値データと4値データの場合のセルの状態を説明する。図2は、2値で記録する場合の

(5)

7

値で書きこむ場合とではメモリセルのワード線に印加する電圧条件が異なるため、データ書き込みが2値であるか4値であるかに応じてワード線の印加電圧を切り替える必要がある。

【0027】本フラッシュメモリは、データ書き込み時において外部から、アドレスピンP1を介してアドレスを、データ入力ピンP4を介してデータを入力すると、2値/4値制御回路37は、入力したアドレスと2値/4値判別用メモリ21のデータに基いてデータ書き込み領域が2値の領域か4値の領域かを判別し、その判別結果に基づき、高電圧制御回路29に対して2値か4値かを指定する信号（以下「2値/4値切替信号」という。）を送る。高電圧制御回路29は2値か4値かによって、高電圧レギュレータ25の出力電圧を切り替え、ワード線ドライバ15に供給する電圧を切り替える。また、このとき、2値/4値制御回路37は、ビット線に対しても所定の書き込み電圧が印加されるように高電圧制御回路29を制御する。また、データ書き込み時においては、データが正しく書き込まれたか否かを検証するベリファイ動作も行なわれる。

【0028】なお、2値/4値制御回路37は、データ書き込み時に、アドレス及びデータとともに2値/4値情報を2値/4値情報入出力ピンP2を介して外部から受け取るようにしてもよく、その受け取った信号により高電圧制御回路29に対して2値/4値切替信号を送るようにしてもよい。

【0029】（読み出し時の動作）読み出し動作時においては、2値と4値とで読み出し方法が異なるため、本フラッシュメモリでは、2値/4値制御回路37からの2値/4値切替信号により使用するセンスアンプ35a、35bを切り替える。つまり、2値/4値制御回路37は、入力したアドレスをプリデコードしたブロック選択信号BAに基き2値/4値判別用メモリ21のデータを読み出し、読み出し領域が2値領域か4値領域かを判別し、それに従い2値/4値切り替え信号を出力する。この信号により、4値用センスアンプ35a、2値用センスアンプ35bのいずれかが選択的に活動化される。

【0030】なお、2値/4値制御回路37は、データ読み出し時に、アドレスとともに2値/4値情報を2値/4値情報入出力ピンP2を介して外部から受け取るようにしてもよく、その受け取った信号によりセンスアンプを切り替えてもよい。

【0031】（出力方法の切替え）本フラッシュメモリでは、読み出すデータが2値か4値かにより、読み出す際の出力方法を、非同期ランダム読み出し又は同期バースト読み出しに内部で切り替えることができる。例えば、2値データを読み出す際には非同期ランダム読み出しを行い、4値データを読み出す際にはランダムアク

8

出しが可能となるように切り替えることができる。

【0032】すなわち、読み出し動作時において、同期バーストリード制御回路39は、2値/4値制御回路37から2値/4値切替信号を入力し、2値/4値切替信号が4値を示すときは、同期バースト読み出しを行なうためのクロック信号をバースト読み出し用データラッチ41に送る。これにより、データラッチ41はバースト読み出しのための制御に切り換わり、メモリセルアレイ11から読み出されたデータは4値用センスアンプ35a及びデータラッチ41を介してバースト読み出しされる。なお、このとき、2値/4値切替信号により4値用センスアンプ35aが選択（活動化）されている。一方、2値/4値切替信号が2値を示すときは、同期バーストリード制御回路39はバースト読み出し用データラッチ41を非活動化するように制御信号を出力し、また、2値用センスアンプ35bが活動化されるため、2値用センスアンプ35bを介してランダム読み出しが行なわれる。

【0033】（XYレイテンシ情報の出力）本実施形態のフラッシュメモリは、同期バースト読み出しの場合、外部回路からXYレイテンシ情報の要求があったときに、XYレイテンシ情報を出力ピンP3を介して出力する機能を有する。

【0034】すなわち、外部回路よりレイテンシ情報の要求コマンドがデータ入力ピンP4を介して入力されると、コマンドインタプリタ43がそのコマンドを解釈し、同期バーストリード制御回路39に出力する。同期バーストリード制御回路39はこの信号を受けるとレイテンシ情報（パラメータ）を出力ピンP3を介して出力する。これにより、フラッシュメモリからバーストデータを受け取る外部のメモリコントローラ等の制御回路はレイテンシ情報（パラメータ）を認識できる。

【0035】すなわち、同期バーストリード制御回路39は、ブロック選択信号BAの値と、2値/4値判別用メモリセル21aの値とを参照し、予め設定されたテーブルを参照して、メモリブロックごとに同期バースト読み出しに対するパラメータを求め、出力する。このように、同期バーストリード制御回路39はメモリブロックごとに同期バースト読み出しに対するパラメータを自由に変更できる。

【0036】なお、本フラッシュメモリはレイテンシ情報に限らず、所定のパラメータを出力することができる。

【0037】すなわち、2値/4値制御回路37は、各ブロックに対応した所定のパラメータを内部ラッチに記憶しており、読み出し時においてプリデコードされたブロック選択信号BAに対応するパラメータを出力する。

【0038】パラメータの設定は次の様に行なう。図1に示す回路において、アドレスピンP1を介してブロック

(7)

11

ことが可能となり、自在に容量を変更できるため、記憶領域の使用効率を高め、製造コストを抑制できる半導体記憶装置を実現できる。

【0049】本発明に係る第2の半導体記憶装置は、データを記録する領域を複数の領域に分割し、分割した各領域を2値データを記録する2値領域又は多値データを記録する多値領域に設定し、データの記録を2値で行なうか多値で行なうかに応じて、センスアンプを切り替える。これにより、1つの半導体記憶装置において、2値または多値の双方でデータを記録することが可能となり、自在に容量を変更できるため、記憶領域の使用効率を高め、製造コストを抑制できる半導体記憶装置を実現できる。

【0050】本発明に係る第3の半導体記憶装置は、メモリセルアレイの各領域に対して、その領域が2値領域であるか多値領域であるかを判別することができる。これにより、1つの半導体記憶装置において、メモリアドレス空間で任意に2値または多値の双方でデータの記録が可能となり、自在に容量を変更できるため、記憶領域の使用効率を高め、製造コストを抑制できる半導体記憶装置を実現できる。

【0051】本発明に係る第4の半導体記憶装置は、第1ないし第3のいずれかの半導体記憶装置による効果に加え、さらに、データの記録形式が2値であるか多値であるかに応じてデータ出力方法及び書き込み方法を切替えることができる。

【0052】本発明に係る第5の半導体記憶装置は、第1ないし第3のいずれかの半導体記憶装置による効果に加え、さらに、読み出しデータのアドレスに対応したレイテンシ情報を外部に出力することができる。

【0053】本発明に係る第6の半導体記憶装置は、第1ないし第3のいずれかの半導体記憶装置による効果に加え、さらに、同期バースト読み出し動作時に、同期バースト読み出しに対する所定のパラメータをアドレスに

12

対応して変更することができる。

【0054】本発明に係る第7の半導体記憶装置は、第1ないし第3のいずれかの半導体記憶装置による効果に加え、さらに、データ読み出し時において高速にデータ読み出しが可能となる。

【0055】本発明に係る第8の半導体記憶装置において、第1ないし第3のいずれかの半導体記憶装置による効果に加え、さらに、容易な構成の多値データを読み出すためのセンスアンプを実現できる。

10 【図面の簡単な説明】

【図1】 本発明に係るフラッシュメモリの構成図。

【図2】 (a) 2値メモリにおけるしきい値の分布を示した図。(b) 4値メモリにおけるしきい値の分布を示した図。

【図3】 複数のビット線を接続してメモリセルからデータを読み出す方法を説明するための図。

【図4】 アクセス遅延を利用した4値センスアンプの構成図。

【図5】 アクセス遅延を利用した4値データの読み出しを説明するための図。

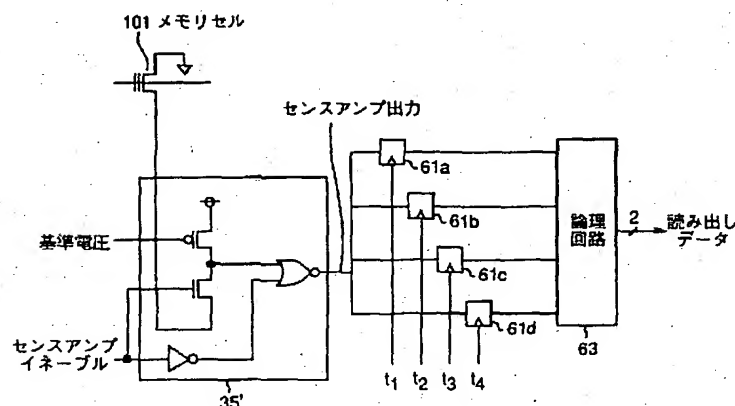
【図6】 4値データの読み出し時において、各値に対する遅延時間を示した図。

【図7】 従来のフラッシュメモリの種々の利用態様を説明した図。

【符号の説明】

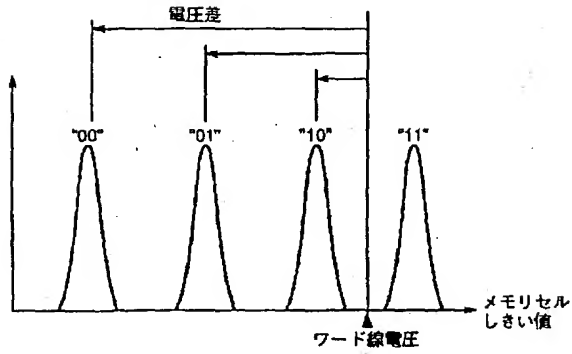
- 11 メモリセルアレイ
- 17 プリデコード
- 18 カラムデコード
- 21 2値/4値判別用メモリ
- 29 高電圧制御回路
- 35a, 35' 4値用センスアンプ
- 35b 2値用センスアンプ
- 37 2値/4値制御回路
- 39 同期バーストリード制御回路

【図4】

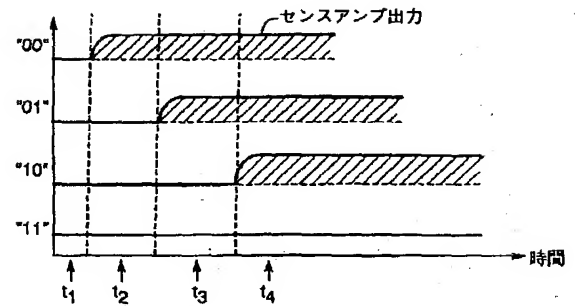


(9)

【図5】



【図6】



【図7】

